



Bulletin d'Informations du GDR SOC² du 15 Janvier 2021



<http://www.gdr-soc.cnrs.fr>



- 1 *Offre de Post-Doc à Télécom Paris*
- 2 *Offre de Post-Doc au Laboratoire TIMA - Grenoble*

1 *Offre de Post-Doc à Télécom Paris*

PostDoc position at Telecom Paris: Digital PreDistortion for 5G applications

Summary: The department of Electronics and Communications at Telecom Paris has a postdoc opening within the C2S team for a candidate with a signal processing and/or EE background. The candidate is expected to study novel approaches for achieving very high performance digital presdistorters for 5G applications.

More details can be found

at: https://mcusercontent.com/96da5e98f01c48e287a35b1b1/files/18df5889-e241-4fb7-8d79-7bdec6ef9d94/PostDoc_TelecomParis_DPD.pdf

Offre de Post-Doc au Laboratoire TIMA - Grenoble

Sujet : Analyse de robustesse niveau circuit en tenant compte des spécifications au niveau système

Contexte : De nombreuses applications imposent des contraintes de sûreté et/ou de sécurité, et exploitent des circuits intégrés numériques pour réaliser l'essentiel des traitements tout en répondant aux contraintes fortes en terme de coût, d'autonomie et de taille des systèmes. Ces circuits peuvent être soumis à des perturbations liées à leur environnement (par exemple les particules atmosphériques, les perturbations électromagnétiques dans le contexte automobile, ou les particules atmosphériques dans le contexte aéronautique), ou à des perturbations volontaires (par exemple, attaques en faute dans le contexte d'un circuit détenant des informations confidentielles). La robustesse de ces circuits face à de telles perturbations doit être évaluée en phase de conception. Les méthodes employées dans l'état de l'art se limitent en général à l'étude de l'impact d'une erreur interne au circuit sur les valeurs logiques obtenues sur les sorties du circuit. Ceci est insuffisant, car toutes les valeurs erronées sur les sorties ne conduisent pas forcément à une défaillance du système global. Les évaluations réalisées sont donc pessimistes, et peuvent conduire à sur-dimensionner les protections par rapport aux besoins réels, ce qui a des conséquences néfastes à la fois sur le coût et l'autonomie du système développé. Depuis quelques années, une méthodologie a été étudiée au laboratoire pour tenir compte des spécifications globales du système afin d'identifier les cas où des signaux erronés en sortie du circuit n'induisent pas de comportement inacceptable au niveau du système global. Cette méthodologie, qui est basée sur des assertions spécifiant les comportements acceptables et ceux qui ne le sont pas au niveau du système global, permet d'affiner les résultats et d'être moins pessimiste en terme de risques.

Objectifs : L'objectif du travail de recherche est d'adapter et d'évaluer certains principes de la méthodologie proposée dans le cas d'un système embarqué comportant un microprocesseur et du logiciel embarqué. L'étude de cas sera orientée tout d'abord vers un contrôleur de vol pour l'avionique. Une étude en cours pourra servir de base, des résultats étant disponibles pour une implantation FPGA du circuit cible. La solution actuellement utilisée est d'effectuer une co-simulation de l'environnement système modélisé en SystemC TLM et le processeur décrit au niveau RTL. Cette solution n'est pas généralisable. Pour effectuer cette co-simulation, il faut que la description du système au niveau SystemC TLM soit disponible et le résultat est très dépendant de la qualité de la description. Nous proposons donc d'étendre l'utilisation des assertions pour décrire l'environnement et le générer automatiquement. Une solution existe déjà au sein du laboratoire. Il faudra dans un premier temps vérifier sa pertinence dans le contexte de la sûreté ou de la sécurité (par exemple en cas d'attaque volontaire), et dans un second temps portée la solution au niveau SystemC TLM. Les assertions seront donc utilisées pour décrire l'environnement et dans la phase d'identification des erreurs critiques ou non critiques. Les résultats obtenus seront comparés à la solution initiale où l'environnement système est directement modélisé en SystemC TLM.

Le travail comprendra les étapes suivantes :

- étude du système proposé et des résultats des travaux antérieurs
- étude de la génération matérielle des assertions sous forme d'observateur ou de réactant

- spécification de l'environnement à partir d'assertions
- génération de l'environnement à partir des assertions pour les injections de fautes par simulation
- implémentation au niveau système de la méthode de génération des réactants
- expérimentations (injections de fautes, analyse des résultats), comparaison avec la méthode initiale, conclusions sur la mise en œuvre de la méthodologie et améliorations/perspectives

Ce stage sera réalisé dans le cadre d'un projet financé par la Région Auvergne-Rhône-Alpes, en collaboration avec le laboratoire LCIS de Valence et plusieurs industriels (Thales, AEDvices).

Durée : 1 an

Contact principal :

Katell Morin-Allory

TIMA - 46 av. Félix Viallet - 38031 Grenoble Cedex

e-mail : katell.morin-allory@univ-grenoble-alpes.fr