



Journée thématique

3D : du dispositif au système

Date : ~~Mardi 5 septembre 2023~~ **Lundi 20 Novembre 2023**

Lieu : INL (Lyon – campus de la Doua)

Cette journée thématique de l'axe « technologies du futur » du GdR SoC² a pour objectif de donner une vue d'ensemble des technologies 3D pour la conception de composants, circuits et systèmes, allant des dispositifs 3D intégrés dans Front-End of Line (FEoL) dans les procédés de fabrications industriels actuels, en passant par les dispositifs 3D intégrés dans le Back-End of Line (BEoL), pour continuer avec les chiplets et finir par les interconnexions optiques dans les architectures manycore, au travers de 4 présentations suivi d'une discussion ouverte à l'ensemble des participants.

Programme :

10h15 – 10h30 : **Accueil des participants**

10h30 – 11h30 : **Ch. RIVERO, STMicroelectronics - Dispositifs compacts assistés par l'intégration 3D**

La complexité des systèmes dans les applications grand public s'accroît, et exige de revisiter l'intégration des composants dans les circuits. De nouvelles solutions offrant plus de compacité et de performance doivent être recherchées, avec un coût de fabrication qui doit rester faible. Après avoir démontré les capacités de la technologie pour l'intégration d'un point mémoire extrêmement compact et performant, les résultats présentés dans cette présentation ajoute l'intégration de capacité à fortes valeurs pour faire évoluer la technologie vers la fabrication de produits toujours plus compétitifs. Une première partie dresse une revue des procédés technologiques existants pour la fabrication de nouvelles architectures de composants mettant en évidence l'importance de disposer de composants compacts et pour pouvoir intégrer les circuits toujours plus performants. Dans ce contexte, les avantages apportés par une solution d'intégration 3D bas coût seront présentés. Ces résultats confirment les bonnes performances des nouveaux points mémoires ainsi que de la nouvelle capacité en tranchées à forte valeur.

11h30 – 12h30 : **C. MANEUX, IMS, Univ. Bordeaux - Technologie émergente 3D et nouveaux paradigmes de calcul - Comment réinventer la chaîne de valeur ?**

Ensemble, les nouveaux paradigmes de calcul et les technologies émergentes verticales (naturellement 3D) sont idéales pour répondre aux défis de l'intelligence embarquée à forte densité de données, notamment en matière d'efficacité énergétique, de coût, de débit, de latence et de sécurité intégrée. Cette solution idéale consiste à remplacer le mur de mémoire inhérent au fonctionnement von Neumann par l'imbrication fine de fonctionnalités logiques polyvalentes et de mémoire pour un calcul en mémoire dense et reconfigurable. Cette rupture complète de paradigme nécessite de réinventer toutes les approches de caractérisation électrique et thermique, les modèles des bibliothèques de composants et les méthodologies d'extraction de paramètres associées. Ces étapes, qui sont décrites dans cette présentation, sont le point de départ de l'approche DTCO qui conduit à la conception de cubes de calcul 3D naturellement adaptés aux nouveaux paradigmes de calculs basés sur des réseaux de neurones.

Journée thématique

3D : du dispositif au système

12h30 – 13h30 : **Buffet**

13h30 – 14h30 : **Denis DUTOIT, CEA - Les chiplets: une nouvelle dimension pour l'intégration des systèmes complexes.**

Les approches de conception de systèmes dites « chiplet » consistent à remplacer une puce monolithique par une combinaison de plusieurs puces individuelles. Cette méthode apporte une nouvelle dimension à la conception de systèmes complexes, avec une étape de désagrégation architecturale, suivie d'une réagrégation via des technologies d'assemblage 3D par exemple. Les chiplets offrent de nombreux avantages, notamment une meilleure performance grâce à l'utilisation de nœuds technologiques adaptés, une flexibilité accrue et une réduction des coûts de conception grâce à la réutilisation des chiplets, ainsi qu'une réduction des coûts de fabrication grâce à un meilleur rendement des chiplets. Cependant, cette approche pose de nombreux défis, tels que le partitionnement de l'architecture, les protocoles de communication et les interfaces physiques entre les chiplets, le test des chiplets, la gestion de la thermique, le choix des technologies d'assemblage... Cette présentation abordera ces défis à travers des exemples concrets, ainsi que les solutions développées par le CEA dans le cadre de ses différents projets de recherche.

14h30 – 15h30 : **Cédric KILLIAN, Daniel CHILLET, Inria/IRISA, Univ Rennes – Overview of the use of silicon photonics for on-chip interconnections in manycore architectures**

Since few years, we are witnessing the emergence of manycore architectures, namely to the implementation of massive parallelism on a single chip. Associated with the shrinking size of the transistors, these manycore architectures provide the integration of numerous heterogeneous cores allowing huge parallel computation capabilities. These parallelism capabilities obviously generate an enormous amount of data exchanges making the on-chip communication medium a key element of the overall system performance of the system. In the last decade, electrical Network-on-Chips (NoCs) have emerged as an efficient solution for multicore architectures, in the range of tens of cores on a-chip, to circumvent the parallelism limitations of traditional buses. Nevertheless, as the manycore era progresses, electrical NoCs suffer from scalability in terms of latency and energy due to a huge increase on the number of hops between cores, hence emerging technologies are called to supplement this traditional interconnect. Recent advances in integration technologies have led to the emergence of silicon photonics. In this presentation, we will examine the possibilities offered by this technology for on-chip interconnections, how multi-core architectures can benefit from silicon photonics, and some associated challenges.

15h30 – 16h : **Discussion & cloture**

Organisateurs :

Jacques-Olivier Klein : C2N, Univ. Paris-Saclay (Jacques-Olivier.klein@universite-paris-saclay.fr)

Damien Deleruyelle : INL, INSA de Lyon (damien.deleruyelle@insa-lyon.fr)

Jean-Michel Portal : IM2NP, Aix-Marseille Univ. (jean-michel.portal@univ-amu.fr)

Enregistrement : La journée est gratuite, inscription obligatoire (nombre de participants limité à 40 personnes) dans ce but merci de remplir le document partagé suivant : <https://ypl.me/sln>